

(18)



JAPANESE PATENT OFFICE

Reference /

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11330987 A

(43) Date of publication of application: 30.11.99

(51) Int. Cl.

H03M 13/12
H04L 25/08

(21) Application number: 10138790

(22) Date of filing: 20.05.98

(71) Applicant: SHARP CORP

(72) Inventor: KISHINO MASAHIKO
YONEDA TOSHIO

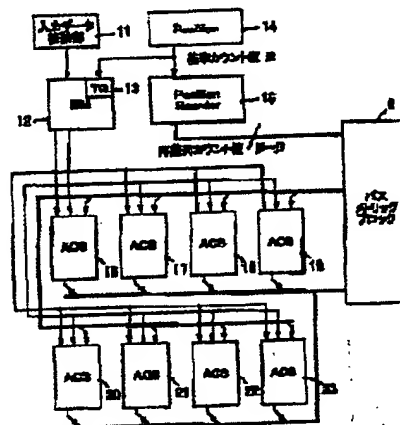
(54) VITERBI DECODER

(57) Abstract:

PROBLEM TO BE SOLVED: To decrease the circuit scale when Viterbi operation is performed by placing ACSs in parallel operation.

SOLUTION: A position reorder part 15 of a very small circuit scale is provided to input a branchmetric value outputted from a single branchmetric arithmetic part 12 to ACS process parts 16 to 23 in common and pathmetric values generated by the ACS process parts 16 to 23 in last processes are inputted by being selected with rearmay count signals j_0 to j_7 outputted from the position reorder part 15 by ACSs.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330987

(43) 公開日 平成11年(1999)11月30日

(51) Int. Cl.⁶

H 0 3 M 13/12

H 0 4 L 25/08

識別記号

F I

H 0 3 M 13/12

H 0 4 L 25/08

B

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願平10-138790

(22) 出願日 平成10年(1998)5月20日

(71) 出願人 000005048

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 岸野 雅彦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 米田 敏雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

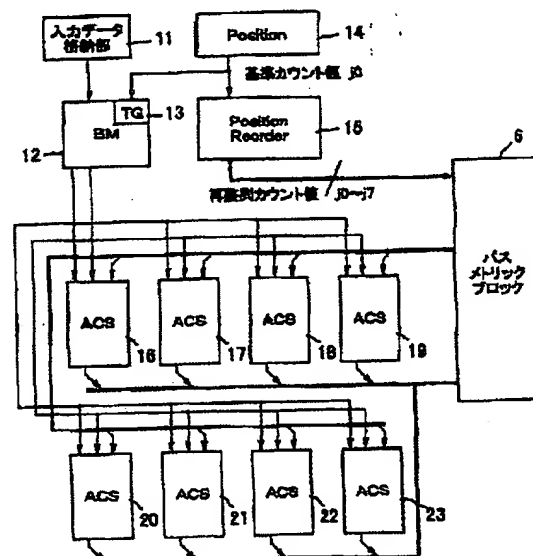
(74) 代理人 弁理士 藤本 英介

(54) 【発明の名称】 ビタビ復号器

(57) 【要約】

【課題】 複数のACSを並列動作させてビタビ演算を行う場合に、回路規模の低減を図ることができるようにする。

【解決手段】 わずかな回路規模のポジションリオーダー部15を設けることにより、単一のブランチメトリック演算部12から出力されるブランチメトリック値を共通して複数のACS処理部16～23に入力するとともに、ACS処理部16～23により一回前の処理で発生したバスメトリック値を、各ACS毎にポジションリオーダー部15から出力される再整列カウント信号j 0～j 7により選択し入力する。



【特許請求の範囲】

【請求項1】 複数のACS部による並列動作により畳み込み符号の最尤復号を行うビタビ復号器において、基準カウント値を出力する出力手段と、前記基準カウント値と予め設定された生成多項式とからトレリスデータを生成するトレリスデータ生成手段と、前記トレリスデータ生成手段が生成したトレリスデータと受信系列とからブランチ間のメトリックを計算して前記複数のACS部に出力するブランチメトリック演算手段と、

前記出力手段が出力した基準カウント値に基づいて、前記ACS部の数に対応する再整列カウント値を生成する再整列カウント値生成手段と、

を有し、前記再整列カウント値生成手段が生成した再整列カウント値に基づいて、前記複数のACS部を動作させることを特徴とするビタビ復号器。

【請求項2】 各内部状態におけるパスメトリックを記憶する記憶手段をさらに具備し、前記再整列カウント値生成手段が生成した再整列カウント値を前記記憶手段へのアドレッシングに使用して、前記ブランチメトリック演算手段を単一のものとすることを特徴とする請求項1記載のビタビ復号器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、畳み込み符号を受信して誤り訂正を行うビタビ復号器に関し、特に、回路規模及び消費電力を低減するビタビ復号器に関する。

【0002】

【従来の技術】 従来、畳み込み符号を最尤復号するビタビ復号技術が知られている。このビタビ復号技術では、ビタビアルゴリズムに基づいて、送信側エンコーダで生成され得る符号系列の中から受信符号系列に最も近い系列を選択するため、この受信符号系列に誤りがある場合でも正しく復号することができる。このように、このビタビ復号技術は、通話路に生じるランダム誤りに対する訂正能力が高く、特に軟判定復調方式と組み合わせると大きな符号化利得を得ることができるため、移動体通信システム等の誤り訂正符号の復号に広くビタビ復号器が採用されている。

【0003】 まず、このビタビアルゴリズムについて、簡単に説明する。ここでは、生成多項式が、

$$G_1(D) = 1 + D^2$$

$$G_2(D) = 1 + D + D^2$$

で与えられる符号化率 $=1/2$ 、拘束長 $K=3$ の畳み込み符号を考える。

【0004】 図13は、かかる畳み込み符号を発生するビタビ符号器の構成を示すブロック図である。同図に示すように、このビタビ符号器は、レジスタ41、42からなるシフトレジスタと、モジュロ2の加算を行う加算

器43、44、45より構成される。ここで、この符号器の内部状態(b_1, b_2)は、内部状態(0, 0)、内部状態(0, 1)、内部状態(1, 0)又は内部状態(1, 1)の4通りの内部状態がある。そして、入力を与えられた時、遷移できる内部状態は常に2通りである。

【0005】 すなわち、内部状態が(0, 0)の場合に0が入力すると、内部状態が(0, 0)に遷移し、1が入力すると内部状態(0, 1)に遷移する。内部状態が(0, 1)の場合に0が入力すると、内部状態(1, 0)に遷移し、1が入力すると内部状態(1, 1)に遷移する。内部状態が(1, 0)の場合に0が入力すると内部状態(0, 0)に遷移し、1が入力すると内部状態(0, 1)に遷移する。内部状態が(1, 1)の場合に0が入力すると内部状態(1, 0)に遷移し、1が入力すると内部状態(1, 1)に遷移する。

【0006】 図14は、かかる内部状態の状態遷移を示すトレリス線図である。図中に示す実線のブランチは入力0による遷移を示し、破線のブランチは入力1による遷移を示す。また、ブランチに付記した数字は、該ブランチが遷移したときに出力される符号(G_1, G_2)である。図14から分かるように、各状態では必ず2つのパスが合流する。ビタビ復号アルゴリズムは、各内部状態での2つのパスのうち、最尤のパスを選択し、所定長さまで生き残りパスの選択を行ったならば、各内部状態で選択したパスのうち最尤のものを検出して、受信符号を復号する。

【0007】 図15に、ビタビアルゴリズムに基づいて畳み込み符号を復号するビタビ復号器のブロック図を示す。このビタビ復号器は、基本的に、受信系列と各ブランチとの間のメトリックを計算するブランチメトリック計算部50と、生き残りパスを選択して生き残りパスのパスメトリックを計算するACS(アダマール・コンパレータ・セクタ)部60と、各内部状態でのパスメトリックの値をそれぞれ記憶するパスメトリックメモリ70と、選択したパスの推定出力を記憶するパスメモリ80とから構成される。そして、最尤判定手段(図示せず)により、最尤のパスメトリックのアドレスを検出し、パスメモリの制御を行う。

【0008】 ビタビ処理については、その拘束長、データ長、符号化レート等のパラメータや、処理単位となるフレームタイミングを考慮する必要があるが、膨大な量のビタビ演算を限られた時間内で処理しなければならないケースも有る。この場合の一つの手法として、特開平7-321674号公報(以下「従来技術1」と言う。)に開示されているように、ビタビ処理の基本的演算部分であるACS部60を複数個持つ構成が考えられる。

【0009】 この従来技術1のビタビ復号器におけるブランチメトリック計算部50とACS部60について、図16を用いて説明する。なお、前提条件として、拘束

長 $K=7$ 、内部状態数64、符号化レート $1/3$ とし、3ビット軟判定の場合を考える。そして、4個のACS回路66~69は、時分割により動作するものとする。

【0010】図16に示すように、このビタビ復号器は、ブランチメトリック計算部50は、ブランチメトリック計算回路51~58により構成される。ブランチメトリック計算回路51~58は、それぞれ入力データD₁に基づいて、「000」、「001」、「010」、「011」、「100」、「101」、「110」及び「111」の8通りのパスデータ（符号化レート $1/3$ ）であることにより8通りとなる）にそれぞれ対応したブランチメトリック計算を行い、それぞれブランチメトリック値BM₁~BM₈を出力する

【0011】より具体的には、ブランチメトリック計算回路51~58におけるブランチメトリック計算に使用されるパスデータは、一のブランチメトリック計算回路に対して一のパスデータが固定的に決定されている。例えば、ブランチメトリック計算回路51においては、入力データD₁とパスデータ「000」を用いてブランチメトリック計算が行われ、ブランチメトリック値BM₁が出力される。また、ブランチメトリック計算回路52においては、入力データD₁とパスデータ「001」を用いてブランチメトリック計算が行われ、ブランチメトリック値BM₂が出力される。

【0012】以下、同様にして、他のブランチメトリック計算回路53~58においても、入力データD₁とパスデータ「010」~「111」のいずれかを用いてブランチメトリック計算が行われ、ブランチメトリック値BM₃~BM₈が出力される。さらに、これらのブランチメトリック計算は、それぞれのブランチメトリック計算回路51~58において、同時並行的に実行され、ブランチメトリックBM₁~BM₈が出力される。

【0013】ACS部60は、図16に示すように、データセレクト61~64、セレクト制御部65、ACS回路66~69からなる構成である。データセレクト61~64は、後述するセレクト制御部65の出力する選択信号S₁~S₄に基づいて、入力された8個のブランチメトリック値BM₁~BM₈の中から、互いに逆論理の関係にあるパスデータ（例えば、000に対して111、011に対して100）に基づいて算出された2つのブランチメトリック値を選択し、それぞれ選択ブランチメトリック値BM₃₁~BM₃₄として出力する。セレクト制御部65は、データセレクト61~64における8個のブランチメトリック値BM₁乃至BM₈の選択を、予め設定された生成多項式に従って制御する為の選択信号S₁~S₄を出力する。ACS回路66~69は、出力された選択ブランチメトリック値BM₃₁~BM₃₄を入力として、パスメモリ70より出力される前回の正規化パスメトリック値NPM_{n-1}に基づき、それぞれ時分割的に正規化パスメトリック値NPM_n及びパス選択信号Psを算

出し出力する。

【0014】複数のACS回路を持つビタビ復号器について、必要なブランチメトリックのみを計算する構成も考えられるため、かかる構成を有する技術を従来技術2として説明する。従来技術2のビタビ復号器におけるブランチメトリック演算部及びACS演算部の構成例を図17に示す。このビタビ復号器は、入力データ格納部11、ポジションメモリ14、ブランチメトリック演算部91~98、トレリスジェネレータ101~108、ACS処理部16~23からなる構成である。入力データ格納部11に格納されたデータは、ポジションメモリ12の処理順番を示すポジションデータをカウントして、ブランチメトリック演算部91~98とACS処理部16~23の各回路（各8個）を並列で動作させる。

【0015】

【発明が解決しようとする課題】上述したように、従来技術1におけるビタビ復号器においては、ブランチメトリック計算部がトレリスデータの取りうる値の数だけ必要となる。例えば、符号化レートが $1/3$ である場合には、トレリスデータが8通りとなるため、図14に示すように、ブランチメトリック計算を行うブランチメトリック計算回路51乃至58が必要となる。また、従来技術2におけるビタビ復号器においても、ACS処理部16~23の個数分のブランチメトリック演算部91~98が必要となる。従って、回路規模が大きくなるため集積化する場合に大規模な集積回路が必要となり、また、回路自体も複雑になるという問題点があった。

【0016】そこで、本発明は、上記問題点を解決して、複数のACSを並列動作させてビタビ演算を行う場合に、回路規模の低減を図ることができるビタビ復号器を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するため、第1の発明は、複数のACS部による並列動作により畳み込み符号の最尤復号を行うビタビ復号器において、基準カウント値を出力する出力手段と、前記基準カウント値と予め設定された生成多項式とからトレリスデータを生成するトレリスデータ生成手段と、前記トレリスデータ生成手段が生成したトレリスデータと受信系列とからブランチ間のメトリックを計算して前記複数のACS部に出力するブランチメトリック演算手段と、前記出力手段が出力した基準カウント値に基づいて、前記ACS部の数に対応する再整列カウント値を生成する再整列カウント値生成手段とを有し、前記再整列カウント値生成手段が生成した再整列カウント値に基づいて、前記複数のACS部を動作させることを特徴とする。

【0018】また、第2の発明は、各内部状態におけるパスメトリックを記憶する記憶手段をさらに具備し、前記再整列カウント値生成手段が生成した再整列カウント値を前記記憶手段へのアドレッシングに使用して、前記

ブランチメトリック演算手段を単一のものとすることを特徴とする。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。まず最初に、本発明で使用するトレリスデータ及び内部遷移を促す信号について説明する。拘束長が9であり、符号化レートが1/3である場合の最適な生成多項式は、

$$G_0 = 1 + D^2 + D^3 + D^5 + D^6 + D^7 + D^8$$

$$G_1 = 1 + D + D^3 + D^4 + D^7 + D^8$$

$$G_2 = 1 + D + D^2 + D^5 + D^8$$

となる。

【0020】図1及び図2は、かかる生成多項式に対応するトレリスデータを示す説明図である。800は内部状態(0~255)の番号(No.)を示し、801、802、803は、それぞれ各内部状態におけるトレリスデータ G_0 、 G_1 、 G_2 を示す。そして、値が0であれば、入力データ値とデータ0との差をブランチメトリック演算に使用し、値が1であれば、入力データ値とデータ1との差をブランチメトリック演算に使用する。こ
こで用いるデータ0、データ1及び入力データ値は、硬判定又は軟判定条件によって異なるが、例えば3ビット軟判定を行う場合に入力データが2であれば、データ0との差が2(=2-0)となり、データ1との差が5(=7-2)となる。

【0021】図1及び図2に示すように、内部状態を16個に分割した場合のデータは、それぞれの相関を直接的に示すことができず、別々に考える必要が有る。分割方法を変更しても、それぞれの相関を直接的に示すことはできない。なお、内部状態128~255のデータは、内部状態0~127のデータの反転データとなる。

【0022】図3及び図4は、図1及び図2に示すトレリスデータに内部状態の遷移を考慮した信号を追加した図である。800~803は図1及び図2と同様のものであり、900~915は、16個に分割した内部状態のトレリスデータの並び方を統一するための再整列カウント信号 j_0 、 j_1 、 j_2 、 j_3 、 j_4 、 j_5 、 j_6 、 j_7 である。すなわち、すでに説明したように、内部状態0~127のデータと内部状態128~255のデータはそれぞれ反転する関係にあり、対をなすため、16個の状態を8種類の信号で表現できるのである。

【0023】図3及び図4に示すように、この番号が0~15の場合には信号 j_0 を対象とし、16~31の場合には信号 j_1 を対象とし、32~47の場合には信号 j_2 を対象とする。ここで、信号 j_0 は、番号と同一の対応関係にあるが、信号 j_1 は、この番号とは対応関係がない。ただし、信号 j_0 の値と信号 j_1 の値が同じであれば、両者の G_0 、 G_1 、 G_2 値は同一となり、例えば、信号 j_1 が“0”である場合の G_0 、 G_1 、 G_2 値は、信号 j_0 が“0”のときと同一となり、信号 j_2 が“1”である場合の G_0 、 G_1 、 G_2 値は、信号 j_1 が“1”のときと同一になる。また、信号 j_2 が“0”の時には、信号 j_0 が“0”のときと同一の G_0 、 G_1 、 G_2 値となり、信号 j_2 が“1”の時には、信号 j_0 が“1”のときと同一の G_0 、 G_1 、 G_2 値となる。

【0024】図5は、本来の連続的なカウンタ値とそれに対応する信号 j_0 、 j_1 、 j_2 、 j_3 、 j_4 、 j_5 、 j_6 、 j_7 の関係を示す図である。本実施の形態では、これらの信号 j_0 、 j_1 、 j_2 、 j_3 、 j_4 、 j_5 、 j_6 、 j_7 を再整列カウント信号としてポジションリオーダー部15が生成し、生成した再整列カウント信号をACSブロック5とバスメトリックブロック6と間の制御に用いることにより、システム構成の簡略化を実現している。

【0025】次に、本実施の形態で用いるビタビ復号器の構成について説明する。図6は本発明に係るビタビ復号器を示す一実施形態を示す全体ブロック図であり、図7はブランチメトリックブロックとACSブロックを中心とする要部ブロック図である。また、図8はブランチメトリックブロックの具体的な構成を示し、図9はACSブロックの具体的な構成を示している。

【0026】このビタビ復号器は、CPU、DSP等の外部制御系とのインターフェースを行う制御インターフェース1、ブランチメトリックの演算を行うブランチメトリックブロック2、ビタビ動作の制御を行う制御ブロック3、テスト用の制御を行うテストインターフェース4、ACS(加算・比較・選択)処理を行うACSブロック5、バスメトリックデータを選択・格納するバスメトリックブロック6、トレースバック処理を行うトレースバック処理部7、外部メモリ(RAM)とのインターフェースを行いバスメモリや復号結果を格納するバスデータ用メモリインターフェース8からなる構成である。ブランチメトリックブロック2は、入力データ格納部11、ブランチメトリック演算部12、トレリスジェネレータ13、ポジションメモリ14、ポジションリオーダー部15とからなる。ACSブロック5は、ACS処理部16~23からなる。なおここでは、デジタル通信の誤り訂正で一般に使用される場合と同様に拘束長を9とし、またACS処理部16~23が8個並列に存在する場合を示すこととする。

【0027】ACSブロック5は、図7に示すように並列動作可能な8個のACS処理部16~23のからなり、ブランチメトリック演算部2は、図17に示す従来装置のように、ACS数に対応する個数設けるのではなく、同一のブランチメトリック値を使用する一つの回路で構成している。このブランチメトリック演算部12において、図8に示すように、対象となる入力データを入力データ格納部11(Data A, Data B, Data C)に設定し、この入力データ格納部11からデータを受ける。また、ポジションメモリ14に格納されてい

るデータ処理の順番を示すポジションデータをカウントすることにより、対象となるバスメトリックの設定及びトレリスデータの設定を行う。なお、このポジションデータは、図3及び図4に示す信号j0に相当するデータである。

【0028】ここでは、8個のACS処理部16～23を並列に動作させるので、同時に16(=8×2)個のバスメトリックを更新することができる。従って、1ビットで信号を表す1組の入力データに対し、各ACSにおいて16(256÷16)サイクルのカウントを行うことにより、符号1ビット分のバスメトリックの更新を完了する。そして、このポジションデータが示す処理の順番に応じて、トレリスジェネレータ13が作用し、トレリスデータG0、G1、G2が出力される。そして、入力データ格納部11(DataA, DataB, DataC)内のデータとトレリスデータG0、G1、G2をセレクタ部24(SelectorA, SelectorB, SelectorC)に入力することで、入力データ格納部11(DataA, DataB, DataC)内のデータについてエラー情報の設定を行い、それぞれの出力を加算器25、26にて加算し、ブランチメトリックY1、Y2を生成する。

【0029】ACS処理部16～23においては、図9に示すように、ブランチメトリック演算部12からの出力Y1、Y2とバスメトリックブロック6からのデータK1及びK2とを入力して、バスデータ値R1、R2及び新たなバスメトリック値S1、S2を出力する。ACS処理部16～23内の加算器31は、 $K1+Y1$ を計算してX11とし、加算器32は $K1+Y2$ を計算してX12とし、加算器33は $K2+Y1$ を計算してX21とし、加算器34は $K2+Y2$ を計算してX22とする。

【0030】コンパレータ35は、X11とX21を比較して、その結果をバスデータ値としてR1に出力し、セレクタ37は、コンパレータ35の結果に従い、 $X11 \leq X21$ であればX11を選択し、 $X11 > X21$ であればX21を選択し、新たなバスメトリックS1とする。一方、コンパレータ36はX12とX22を比較して、その結果をバスデータ値としてR2に出力する。セレクタ38は、コンパレータ36の結果に従い、 $X12 \leq X22$ であればX12を選択し、 $X12 > X22$ であればX22を選択し、新たなバスメトリックS2とする。なお、新たなバスメトリックS1、S2は、バスメトリックブロック6に格納される。ACS処理部16～23のそれぞれについて、ブランチメトリック演算部12から出力されるY1、Y2は全て同一のデータとなる。

【0031】ポジションリオーダー部15は、信号j0～j7の並びを設定する処理部であり、その具体的な回路構成は図10に示すようになる。図10に示すよう

に、このポジションリオーダー部15は、4個のインバータと配線のみで実現することが可能であるため、その回路規模は小さい。8個のACS処理部16～23に接続されるバスメトリックブロック6についても図11に示すように8個の領域に分割して考える。以下、図11に示す分割について説明する。

【0032】ACS処理部16では、K1用に0～15領域を、K2用に128～143領域を、S1、S2用に0～31領域を使用し、ACS2では、K1用に16～31領域を、K2用に144～159領域を、S1、S2用に32～63領域を使用する。また、ACS3では、K1用に32～47領域を、K2用に160～175領域を、S1、S2用に64～95領域を使用し、ACS4では、K1用に48～63領域を、K2用に176～191領域を、S1、S2用に96～127領域を使用する。さらに、ACS5では、K1用に64～79領域を、K2用に192～207領域を、S1、S2用に128～159領域を使用し、ACS6では、K1用に80～95領域を、K2用に208～223領域を、S1、S2用に160～191領域を使用する。また、ACS7では、K1用に96～111領域を、K2用に224～239領域を、S1、S2用に192～223領域を使用し、ACS8では、K1用に112～127領域を、K2用に240～255領域を、S1、S2用に224～255領域を使用する。

【0033】次に、8つのACS1～ACS8への入力データK1、K2の値及びACSからの出力データS1、S2の値を順に示す。1サイクル目では、K1については、0、18、44、62、68、81、104、122が対象となり、K2については、128、146、172、190、196、209、232、250が対象となる。また、S1については、36、88、124、136、162、208、244が対象となり、S2については、1、37、89、125、137、163、209、245が対象となる。

【0034】2サイクル目では、K1については、1、19、45、63、69、80、105、123が対象となり、K2については、129、147、173、191、197、208、233、251が対象となる。また、S1については、2、38、90、126、138、160、210、246が、S2については、3、9、91、127、139、161、211、247が対象となる。

【0035】K1、K2、S1、S2のアドレス指定に際し、かかる構成では、信号j0、j1、j2、j3、j4、j5、j6、j7の8個の信号を用いたアドレス指定が必要となる。このため、ACS1に関しては信号j0を使用してアドレス指定を行う。2番目のACS2については信号j1を使用してアドレス指定を行う。具体的には、K1は $16+j1$ 、K2は $144+j1$ 、S

1は $32+j1$, S2は $33+j1$ でアドレスを示す。3番目のACS3については信号j2を使用してアドレス指定を行う。具体的には、K1は $32+j2$, K2は $160+j2$, S1は $64+j2$, S2は $65+j2$ でアドレスを示す。

【0036】4番目のACS4については信号j3を使用してアドレス指定を行う。具体的には、K1は $48+j3$, K2は $176+j3$, S1は $96+j3$, S2は $97+j3$ でアドレスを示す。5番目のACS5については信号j4を使用してアドレス指定を行う。具体的には、K1は $64+j4$, K2は $192+j4$, S1は $128+j4$, S2は $208+j4$ でアドレスを示す。6番目のACS6については信号j5を使用してアドレス指定を行う。具体的には、K1は $80+j5$, K2は $208+j5$, S1は $160+j5$, S2は $161+j5$ でアドレスを示す。

【0037】7番目のACS7については信号j6を使用してアドレス指定を行う。具体的には、K1は $96+j6$, K2は $224+j6$, S1は $192+j6$, S2は $193+j6$ でアドレスを示す。8番目のACS8については信号j7を使用してアドレス指定を行う。具体的には、K1は $112+j7$, K2は $240+j7$, S1は $224+j7$, S2は $225+j7$ でアドレスを示す。

【0038】以上の構成を用いることで、同一のブランチメトリック値で8個のACS回路を並列動作させることが出来る。その結果、16サイクル経過後には、256ある全ての内部状態について、バスメトリックの更新、バスメトリックの出力を行うことができる。

【0039】本実施の形態で用いる信号j0, j1, j2, j3, j4, j5, j6, j7の意味合いを説明するために、上記従来技術2を用いた場合のバスメトリック部構成について説明する。8個のACSに接続されるバスメトリックブロックについて図12に示すように8個の領域に分割する。分割するブロックに関しては、本実施の形態と同様に構成することが可能である。8個のACSへの入力データK1, K2及び出力データS1, S2については、本実施の形態で用いるものと異なる。

【0040】以下に各ACSについてのK1, K2, S1, S2の実際例を順に示す。1サイクル目では、K1については、0, 16, 32, 48, 64, 80, 96, 112が対象となり、K2については、128, 144, 160, 176, 192, 208, 224, 240が対象となる。また、S1については0, 32, 64, 96, 128, 160, 192, 224が対象となり、S2については1, 33, 65, 97, 129, 161, 193, 225が対象となる。

【0041】2サイクル目では、K1については1, 17, 33, 49, 65, 81, 97, 113が対象となり、K2については、129, 145, 161, 177, 193, 209, 225, 241が対象となる。また、S1については2, 34, 66, 98, 130, 162, 194, 226が対象となり、S2については3, 35, 67, 99, 131, 163, 195, 227が対象となる。

7, 193, 209, 225, 241が対象となる。また、S1については2, 34, 66, 98, 130, 162, 194, 226が対象となり、S2については3, 35, 67, 99, 131, 163, 195, 227が対象となる。

【0042】3サイクル目以降についても同様にK1, K2は前回に比較し+1したデータ、S1, S2に関しては+2したデータを対象とすることになる。すなわち、サイクルカウントに使用して、バスメトリックのアドレスを指定するためのカウンタは1個でも可能である。しかしながら、すでに従来技術で説明したように、ブランチメトリック部が8個必要となる。

【0043】上述してきたように、本実施の形態では、データの順番を制御するためのポジションリオーダー部5を加えることにより、複数のACSに対して唯一のブランチメトリック部を設けるよう構成することが可能となる。そして、このポジションリオーダー部5は回路規模が小さいため、全体としての回路規模を大幅に削減できる。

【0044】

【発明の効果】以上詳細に説明したように、本発明は、複数のACS部による並列動作により畳み込み符号の最尤復号を行う際に、所定の基準カウンタ値から前記複数のACS部の数に対応する複数の再整列カウンタ値を生成し、生成した複数の再整列カウンタ値を用いて前記複数のACS部を並列動作させることにより、複数のACS部へのメトリックの供給元を共通化しよう構成したので、下記に示す効果が得られる。1) トレリスデータと受信系列とからブランチ間のメトリックを計算してACS部に出力する回路部を共通化し、全体の回路規模を低減することができる。2) 従来での構成を用いた場合に比較し、高集積化やその結果としての低消費電力化が可能となり、ビタビ復号器を必要とするシステムに有効である。

【図面の簡単な説明】

【図1】生成多項式に対応するトレリスデータと内部状態の関係を示す説明図である。

【図2】図1に続く生成多項式に対応するトレリスデータと内部状態の関係を示す説明図である。

【図3】図1に示すトレリスデータに内部状態の遷移を考慮した信号を追加した図である。

【図4】図2に示すトレリスデータに内部状態の遷移を考慮した信号を追加した図である。

【図5】ポジションリオーダー部による信号を示す説明図である。

【図6】本発明に係るビタビ復号器を示す一実施形態を示す全体ブロック図である。

【図7】ブランチメトリックブロックとACSブロックを中心とする要部ブロック図である。

【図8】ブランチメトリックブロックの具体的な構成を

示すブロック図である。

【図9】ACSブロックの具体的な構成を示すブロック図である。

【図10】ポジションリオーダー部を示すブロック図である。

【図11】本実施形態におけるバスメトリック構成の一例を示す説明図である。

【図12】従来技術2におけるバスメトリック構成の一例を示す説明図である。

【図13】従来技術1のビタビ符号器を示すブロック図である。

【図14】従来技術1のビタビ符号器における内部状態の状態遷移を示すトレリス線図である。

【図15】従来技術1のビタビ復号器の全体構成を示すブロック図である。

【図16】従来技術1のブランチメトリック計算部及びACS部の構成を示すブロック図である。

【図17】従来技術2のブランチメトリック部とACS処理部の構成を示す図である。

【符号の説明】

- 11…入力データ格納部
- 12…ブランチメトリック演算部
- 13…トレリスジェネレータ
- 14…ポジションメモリ
- 15…ポジションリオーダー部
- 16～23…ACS処理部

【図1】

【図2】

No.	0	1	2
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	0
4	0	0	1
5	0	1	1
6	1	0	1
7	1	1	1
8	0	0	0
9	0	1	0
10	1	0	0
11	1	1	0
12	0	0	1
13	0	1	1
14	1	0	1
15	1	1	1

No.	0	1	2
16	1	0	1
17	1	1	0
18	0	0	0
19	0	1	0
20	1	0	1
21	1	1	1
22	0	0	0
23	0	1	0
24	1	0	1
25	1	1	1
26	0	0	0
27	0	1	0
28	1	0	1
29	1	1	1
30	0	0	0
31	0	1	0
32	1	0	1
33	1	1	1
34	0	0	0
35	0	1	0
36	1	0	1
37	1	1	1
38	0	0	0
39	0	1	0
40	1	0	1
41	1	1	1
42	0	0	0
43	0	1	0
44	1	0	1
45	1	1	1
46	0	0	0
47	0	1	0

No.	0	1	2
48	1	0	1
49	1	1	0
50	0	0	0
51	0	1	0
52	1	0	1
53	1	1	1
54	0	0	0
55	0	1	0
56	1	0	1
57	1	1	1
58	0	0	0
59	0	1	0
60	1	0	1
61	1	1	1
62	0	0	0
63	0	1	0
64	1	0	1
65	1	1	1
66	0	0	0
67	0	1	0
68	1	0	1
69	1	1	1
70	0	0	0
71	0	1	0
72	1	0	1
73	1	1	1
74	0	0	0
75	0	1	0
76	1	0	1
77	1	1	1
78	0	0	0
79	0	1	0

No.	0	1	2
80	1	0	1
81	1	1	0
82	0	0	0
83	0	1	0
84	1	0	1
85	1	1	1
86	0	0	0
87	0	1	0
88	1	0	1
89	1	1	1
90	0	0	0
91	0	1	0
92	1	0	1
93	1	1	1
94	0	0	0
95	0	1	0
96	1	0	1
97	1	1	1
98	0	0	0
99	0	1	0
100	1	0	1
101	1	1	1
102	0	0	0
103	0	1	0
104	1	0	1
105	1	1	1
106	0	0	0
107	0	1	0
108	1	0	1
109	1	1	1
110	0	0	0
111	0	1	0
112	1	0	1
113	1	1	1
114	0	0	0
115	0	1	0
116	1	0	1
117	1	1	1
118	0	0	0
119	0	1	0
120	1	0	1
121	1	1	1
122	0	0	0
123	0	1	0
124	1	0	1
125	1	1	1
126	0	0	0
127	0	1	0

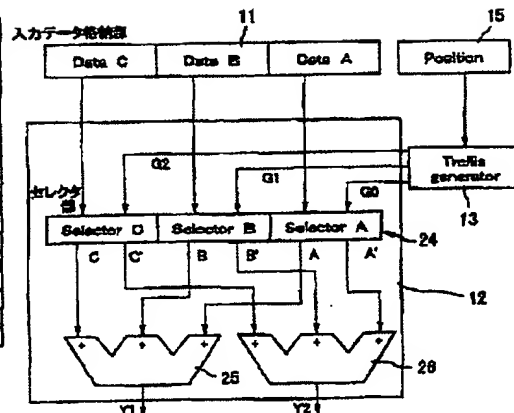
No.	0	1	2
128	1	0	1
129	1	1	0
130	0	0	0
131	0	1	0
132	1	0	1
133	1	1	1
134	0	0	0
135	0	1	0
136	1	0	1
137	1	1	1
138	0	0	0
139	0	1	0
140	1	0	1
141	1	1	1
142	0	0	0
143	0	1	0
144	1	0	1
145	1	1	1
146	0	0	0
147	0	1	0
148	1	0	1
149	1	1	1
150	0	0	0
151	0	1	0
152	1	0	1
153	1	1	1
154	0	0	0
155	0	1	0
156	1	0	1
157	1	1	1
158	0	0	0
159	0	1	0
160	1	0	1
161	1	1	1
162	0	0	0
163	0	1	0
164	1	0	1
165	1	1	1
166	0	0	0
167	0	1	0
168	1	0	1
169	1	1	1
170	0	0	0
171	0	1	0
172	1	0	1
173	1	1	1
174	0	0	0
175	0	1	0
176	1	0	1
177	1	1	1
178	0	0	0
179	0	1	0

No.	0	1	2
180	1	0	1
181	1	1	0
182	0	0	0
183	0	1	0
184	1	0	1
185	1	1	1
186	0	0	0
187	0	1	0
188	1	0	1
189	1	1	1
190	0	0	0
191	0	1	0
192	1	0	1
193	1	1	1
194	0	0	0
195	0	1	0
196	1	0	1
197	1	1	1
198	0	0	0
199	0	1	0
200	1	0	1
201	1	1	1
202	0	0	0
203	0	1	0
204	1	0	1
205	1	1	1
206	0	0	0
207	0	1	0
208	1	0	1
209	1	1	1
210	0	0	0
211	0	1	0
212	1	0	1
213	1	1	1
214	0	0	0
215	0	1	0
216	1	0	1
217	1	1	1
218	0	0	0
219	0	1	0
220	1	0	1
221	1	1	1
222	0	0	0
223	0	1	0
224	1	0	1
225	1	1	1
226	0	0	0
227	0	1	0
228	1	0	1
229	1	1	1
230	0	0	0
231	0	1	0
232	1	0	1
233	1	1	1
234	0	0	0
235	0	1	0
236	1	0	1
237	1	1	1
238	0	0	0
239	0	1	0

【図5】

【図8】

Position	J0	J1	J2	J3	J4	J5	J6	J7
0	0	2	12	14	4	1	8	10
1	1	3	13	15	5	0	9	11
2	2	0	14	12	6	3	10	6
3	3	1	15	13	7	2	11	9
4	4	6	8	10	0	5	12	14
5	5	7	9	11	1	4	13	15
6	6	4	10	8	2	7	14	12
7	7	5	11	9	3	6	15	13
8	8	10	4	6	12	9	0	2
9	9	11	5	7	13	8	1	3
10	10	8	6	4	14	11	2	0
11	11	9	7	5	15	10	3	1
12	12	14	0	2	8	13	4	6
13	13	15	1	3	9	12	5	7
14	14	12	2	0	10	15	6	4
15	15	13	3	1	11	14	7	5



【図3】

800 801 802 803 800					901					802					903				
No.	0	1	2	3	No.	0	1	2	3	No.	0	1	2	3	No.	0	1	2	3
0	0	0	0	0	16	1	0	1	2	32	1	0	0	12	48	0	0	1	14
1	0	1	1	0	17	1	1	0	3	33	1	1	1	13	49	0	1	0	15
2	1	0	1	1	18	0	0	0	0	34	0	0	1	14	50	1	0	0	16
3	1	1	0	2	19	0	1	1	1	35	0	1	0	15	51	1	1	1	17
4	1	1	1	3	20	0	1	1	2	36	0	1	1	16	52	1	1	1	18
5	1	0	1	4	21	0	0	2	3	37	0	0	1	17	53	1	0	0	19
6	0	1	1	5	22	1	1	1	4	38	1	1	1	18	54	0	1	0	20
7	0	0	1	6	23	1	0	1	5	39	1	0	0	19	55	0	0	1	21
8	0	1	0	7	24	1	0	0	6	40	1	0	1	20	56	0	1	1	22
9	0	0	1	8	25	1	1	0	7	41	1	1	1	21	57	0	0	0	23
10	1	0	1	9	26	1	0	1	8	42	0	1	0	22	58	1	1	0	24
11	1	0	0	10	27	0	1	0	9	43	0	0	0	23	59	1	0	1	25
12	1	0	0	11	28	0	0	1	10	44	0	0	0	24	60	1	0	0	26
13	1	1	1	12	29	0	0	1	11	45	0	1	0	25	61	1	1	0	27
14	0	1	1	13	30	1	0	0	12	46	1	0	1	26	62	0	0	0	28
15	0	1	0	14	31	1	1	1	13	47	1	1	0	27	63	0	1	1	29

804					805					906					907				
No.	0	1	2	3	No.	0	1	2	3	No.	0	1	2	3	No.	0	1	2	3
64	1	1	0	4	80	0	1	0	0	104	1	1	1	10	128	1	1	1	10
65	1	0	1	5	81	0	1	0	1	105	1	0	0	11	129	1	0	0	11
66	1	0	0	6	82	1	1	0	1	106	1	0	1	12	130	1	0	1	12
67	0	2	0	7	83	1	0	1	2	107	1	0	0	13	131	0	1	0	13
68	0	0	0	8	84	1	0	1	3	108	1	1	0	14	132	0	1	1	14
69	0	0	1	9	85	0	0	0	4	109	0	0	1	15	133	0	0	0	15
70	1	1	0	10	86	0	0	1	5	110	1	1	0	16	134	1	0	0	16
71	1	1	0	11	87	0	1	1	6	111	1	0	1	17	135	1	0	1	17
72	1	0	0	12	88	0	0	1	7	112	1	0	0	18	136	1	1	0	18
73	1	0	1	13	89	0	1	0	8	113	1	0	1	19	137	1	1	1	19
74	0	0	1	14	90	0	2	0	9	114	1	1	0	20	138	0	0	0	20
75	0	1	0	15	91	0	2	0	10	115	1	1	1	21	139	0	1	1	21
76	0	1	0	16	92	1	1	1	11	116	0	1	0	22	140	0	0	0	22
77	0	0	1	17	93	1	1	1	12	117	0	1	1	23	141	0	1	0	23
78	1	0	0	18	94	0	0	0	13	118	0	0	0	24	142	1	0	1	24
79	1	0	0	19	95	0	0	1	14	119	0	0	1	25	143	1	0	1	25

【図4】

908					909					910					911				
No.	0	1	2	3	No.	0	1	2	3	No.	0	1	2	3	No.	0	1	2	3
128	0	1	1	0	144	0	1	1	0	160	0	1	1	0	176	0	1	1	0
129	0	1	0	1	145	0	1	0	1	161	0	0	0	1	177	0	1	0	1
130	0	1	0	2	146	1	1	1	0	162	1	1	0	1	178	0	0	1	1
131	0	0	1	3	147	1	0	0	1	163	1	0	1	0	179	0	0	0	2
132	0	0	1	4	148	1	0	0	2	164	1	0	1	1	180	0	0	0	3
133	0	1	0	5	149	1	1	1	1	165	1	0	0	2	181	0	1	1	1
134	1	0	0	6	150	0	0	0	2	166	0	0	0	3	182	1	0	0	2
135	1	0	1	7	151	0	0	1	3	167	0	0	1	4	183	1	0	1	3
136	1	0	1	8	152	0	0	0	4	168	0	1	0	5	184	1	0	0	4
137	1	1	0	9	153	0	1	1	5	169	0	1	0	6	185	0	0	1	5
138	1	1	0	10	154	0	1	0	6	170	1	0	0	7	186	0	1	0	6
139	0	0	0	11	155	0	1	1	7	171	1	1	1	8	187	0	1	1	7
140	0	1	1	12	156	1	1	0	8	172	1	1	0	9	188	0	0	0	8
141	0	0	1	13	157	1	0	1	9	173	1	0	0	10	189	0	0	1	9
142	1	0	0	14	158	1	0	1	10	174	0	1	0	11	190	1	1	1	10
143	1	0	1	15	159	0	0	0	11	175	0	0	1	12	191	1	0	0	11

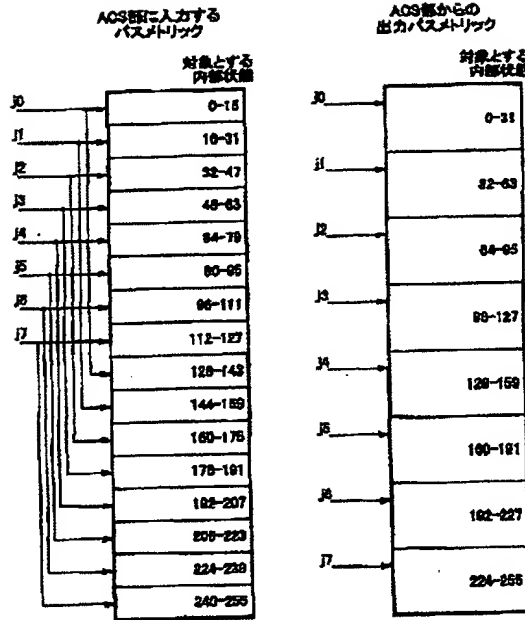
912					913					914					915				
No.	0	1	2	3	No.	0	1	2	3	No.	0	1	2	3	No.	0	1	2	3
192	0	0	0	1	208	1	0	1	0	224	1	0	1	0	240	0	0	0	1
193	0	1	0	2	209	1	0	0	1	225	1	0	0	1	241	0	1	1	2
194	1	0	0	3	210	0	0	1	2	226	0	0	0	2	242	1	0	0	3
195	1	1	1	4	211	0	1	0	3	227	0	1	1	3	243	1	1	1	4
196	1	1	0	5	212	0	1	0	4	228	0	1	0	4	244	1	0	0	5
197	0	0	0	6	213	0	0	1	5	229	0	0	1	5	245	0	1	1	6
198	0	0	1	7	214	1	1	1	6	230	1	0	0	6	246	0	0	0	7
199	0	0	1	8	215	1	0	0	7	231	1	0	1	7	247	0	1	0	8
200	0	1	1	9	216	1	0	1	8	232	1	0	0	8	248	0	0	1	9
201	0	1	0	10	217	0	1	0	9	233	0	1	1	9	249	0	0	0	10
202	0	1	0	11	218	0	1	1	10	234	0	0	0	10	250	1	1	1	11
203	1	0	1	12	219	0	0	0	11	235	0	0	1	11	251	1	0	0	12
204	1	0	1	13	220	0	0	1	12	236	0	1	0	12	252	1	0	1	13
205	1	1	0	14	221	0	1	1	13	237	0	1	1	13	253	1	1	0	14
206	0	0	0	15	222	0	1	0	14	238	0	0	0	14	254	0	0	1	15
207	0	1	1	16	223	1	1	0	15	239	1	0	0	15	255	0	1	0	16

Figure 1 is a block diagram of a semiconductor device. The device is enclosed in a rectangular frame. On the left side, there are three input/output ports: 'Data', 'Address', and 'Control' at the top; 'TESTin' and 'TESTout' in the middle; and 'Data', 'Address', and 'Control' at the bottom. The internal components are as follows:

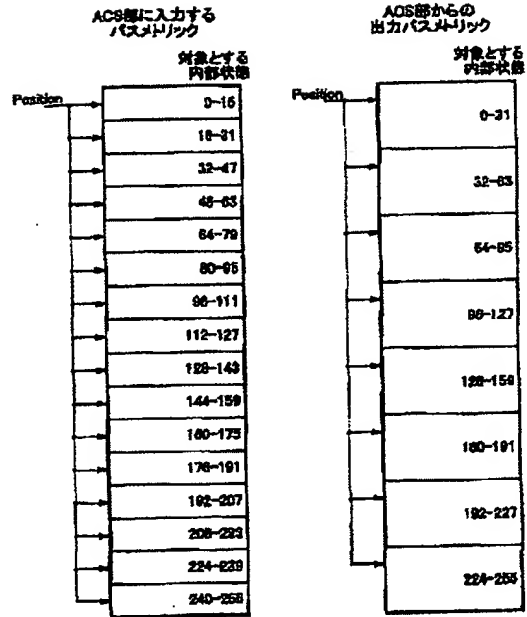
- 1**: 制御インタフェース (Control Interface) - Receives Data, Address, and Control signals.
- 2**: バス制御ブロック (Bus Control Block) - Connected to the Control Interface and the ACS Block.
- 3**: 制御ブロック (Control Block) - Connected to the Bus Control Block.
- 4**: テストインタフェース (Test Interface) - Receives TESTin and TESTout signals.
- 5**: ACSブロック (ACS Block) - Contains the ACS処理部 (ACS Processing Unit). It is connected to the Bus Control Block and the Bus Data Memory Interface.
- 6**: バス制御ブロック (Bus Control Block) - Connected to the ACS Block and the Bus Data Memory Interface.
- 7**: バスデータ用メモリインタフェース (Bus Data Memory Interface) - Connected to the ACS Block and the Traceback Processing Unit.
- 8**: トレースバック処理部 (Traceback Processing Unit) - Connected to the Bus Data Memory Interface.
- 9**: バスデータ用メモリインタフェース (Bus Data Memory Interface) - Connected to the Traceback Processing Unit.
- 10**: バスデータ用メモリインタフェース (Bus Data Memory Interface) - Connected to the Traceback Processing Unit.

 Signal lines are shown as solid and dashed lines connecting the components. The ACS Block is shown as a stack of multiple units.

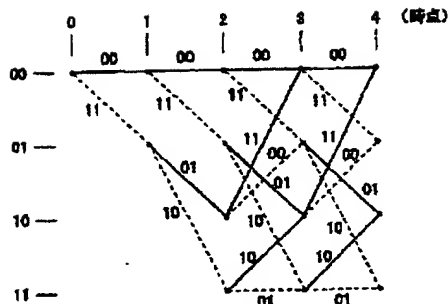
【図11】



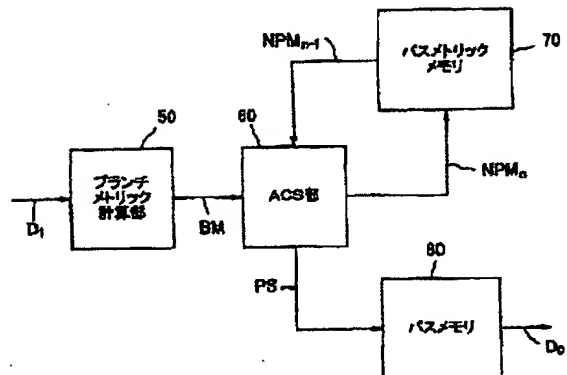
【図12】



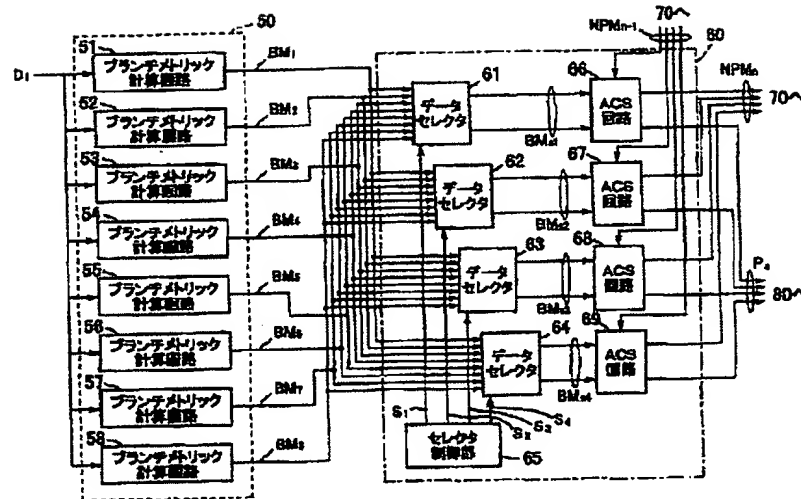
【図14】



【図15】



【図16】



【図17】

